



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출원 번호 : 10-2002-0086922  
Application Number

출원 년 월 일 : 2002년 12월 30일  
Date of Application DEC 30, 2002

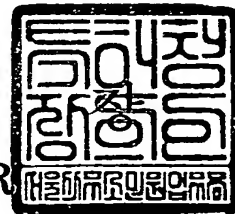
출원인 : 동부전자 주식회사  
Applicant(s) DONGBU ELECTRONICS CO., LTD.



2003      년      09      월      17      일

특      허      청

COMMISSIONER



## 【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0012
【제출일자】	2002. 12. 30
【발명의 명칭】	반도체 소자 제조방법
【발명의 영문명칭】	Fabricating method of semiconductor device
【출원인】	
【명칭】	동부전자 주식회사
【출원인코드】	1-1998-106725-7
【대리인】	
【성명】	김영철
【대리인코드】	9-1998-000040-3
【포괄위임등록번호】	2001-037703-7
【대리인】	
【성명】	김순영
【대리인코드】	9-1998-000131-1
【포괄위임등록번호】	2001-037700-5
【대리인】	
【성명】	이준서
【대리인코드】	9-1998-000463-0
【포괄위임등록번호】	2001-037697-8
【발명자】	
【성명의 국문표기】	한승호
【성명의 영문표기】	HAHN, Seung Ho
【주민등록번호】	660109-1053119
【우편번호】	449-912
【주소】	경기도 용인시 구성읍 마북리 연원마을 벽산아파트 126동 1004호
【국적】	KR
【취지】	특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대리인 김영철 (인) 대리인 김순영 (인) 대리인 이준서 (인)

**【수수료】**

【기본출원료】	18	면	29,000	원
---------	----	---	--------	---

【가산출원료】	0	면	0	원
---------	---	---	---	---

【우선권주장료】	0	건	0	원
----------	---	---	---	---

【심사청구료】	0	항	0	원
---------	---	---	---	---

【합계】	29,000	원		
------	--------	---	--	--

**【첨부서류】**

1. 요약서·명세서(도면)\_1통

**【요약서】****【요약】**

본 발명은 게이트 전극의 형성 후의 재산화 공정에 있어서, 게이트 전극의 측벽과 실리콘 기판 간의 산화속도에 차이를 주어 상대적으로 게이트 전극의 측벽의 산화막 두께를 두껍게 함으로써 게이트 형성을 위한 사진식각 작업에 공정 마진을 제공하며, 재산화 공정의 목적인 게이트 절연막의 치유 효과를 향상시킴과 동시에 후속 이온 주입 공정을 위한 산화막에 부분적인 질화를 유도하여 도판트의 확산을 억제할 수 있는 반도체 소자 제조방법에 관한 것으로서,

본 발명의 반도체 소자 제조방법은 반도체 기판 상에 게이트 절연막 물질 및 게이트 전극 물질을 순차적으로 적층하는 단계;와, 상기 게이트 절연막 물질 및 게이트 전극 물질을 패터닝하여 게이트 절연막 및 게이트 전극을 형성하는 단계;와, 상기 기판 전면에서 질소 이온을 주입하는 단계;와, 상기 기판을 열처리하여 게이트 전극 측벽 및 기판 상부에 상이한 두께를 갖는 재산화막을 형성하는 단계를 포함하여 이루어지는 것을 특징으로 한다.

**【대표도】**

도 7

**【색인어】**

게이트, 재산화

【명세서】

【발명의 명칭】

반도체 소자 제조방법{Fabricating method of semiconductor device}

【도면의 간단한 설명】

도 1 내지 도 4는 종래 기술에 따른 반도체 소자 제조방법을 설명하기 위한 공정 단면도

도 5 내지 도 7은 본 발명에 따른 반도체 소자 제조방법을 설명하기 위한 공정 단면도.

<도면의 주요 부분에 대한 설명>

501 : 반도체 기판

502 : 아이솔레이션층

503 : 게이트 절연막

504 : 게이트 전극

506 : 재산화막층

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<7> 본 발명은 반도체 소자 제조방법에 관한 것으로서, 보다 상세하게는 게이트 전극의 형성 후의 재산화 공정에 있어서, 게이트 전극의 측벽과 실리콘 기판 간의 산화속도에 차이를 주어 상대적으로 게이트 전극의 측벽의 산화막 두께를 두껍게 함으로써 게이트 형성을 위한 사진식

각 작업에 공정 마진을 제공하며, 재산화 공정의 목적인 게이트 절연막의 치유 효과를 향상시킴과 동시에 후속 이온 주입 공정을 위한 산화막에 부분적인 질화를 유도하여 도판트의 확산을 억제할 수 있는 반도체 소자 제조방법에 관한 것이다.

<8> 일반적으로, 반도체소자의 제조공정에서는 회로의 양호한 동작 성능과 고 집적도를 얻기 위해 반도체소자의 제조기술이 서브 마이크론 단위로 미세화되고 있다. 상기 반도체소자의 축소는 수평 크기의 축소와 이에 비례하는 수직 크기의 축소가 함께 진행되어야만 반도체소자의 특성의 균형을 이룰 수가 있다. 이러한 점을 고려하지 않은 상태에서 반도체소자의 크기를 축소시키면, 소오스 및 드레인간의 채널 길이가 축소됨으로써 원하지 않는 반도체소자의 특성 변화가 나타난다. 그 대표적인 특성 변화가 숏 채널 효과(Short Channel Effect)이다.

<9> 상기 숏 채널 효과를 해결하려면, 게이트전극 길이의 축소와 같은 수평 축소와 함께 게이트 절연막의 두께 및 소오스/드레인의 접합 깊이와 같은 수직 축소도 함께 이루어지지 않으면 안된다. 또한, 상기 수평 축소와 수직 축소에 따라 인가 전원의 전압을 낮추고 반도체기판의 도핑 농도를 높이며, 특히 채널 영역의 도핑 프로파일의 제어가 효율적으로 이루어져야 한다.

<10> 그러나, 반도체소자의 크기가 축소되고 있으나 전자 제품에서 요구하는 동작 전원이 아직 낮지 않기 때문에 예를 들어 NMOS 트랜지스터의 경우, 소오스에서 주입되는 전자가 드레인의 높은 전위 변동(Potential Gradient) 상태에서 심하게 가

속됨으로써 핫 캐리어(Hot Carrier)가 발생하기 쉬운 취약한 구조가 된다. 따라서, 상기 핫 캐리어에 취약한 NMOS 트랜지스터를 개선한 LDD(Lightly Doped Drain) 구조가 제안되었다. 상기 LDD 구조의 트랜지스터는 저농도( $n^-$ ) 영역이 채널과 고농도( $n^+$ ) 드레인/소오스 사이에 위치하며 상기 저농도( $n^-$ ) 영역이 상기 드레인 접합 주변에서 높은 드레인 전압을 완충시켜 급격한 전위 변동을 유발시키지 않음으로써 핫 캐리어의 발생을 억제시킨다. 고 집적도의 반도체소자의 제조기술이 연구되면서 LDD구조의 MOSFET를 제조하는 여러 가지 기술이 제안되기 시작하였다. 이 중에서 게이트전극의 측벽에 스페이서(Spacer)를 형성하는 LDD 제조방법이 가장 전형적인 방법이며 현재까지 대부분의 양산 기술로 사용되고 있다.

<11> 종래의 반도체소자의 제조방법에서는 도 1에 도시된 바와 같이, 먼저, 예를 들어 제 1 도전형인 p형 반도체 기판(101)의 액티브영역간의 전기적 절연을 위해 상기 반도체 기판(101)의 필드영역에 샬로우 트렌치 아이솔레이션(Shallow Trench Isolation) 공정에 의해 아이솔레이션층(102)을 형성시키고, 상기 액티브영역 상에 게이트 절연막(103), 예를 들어 산화막을 열산화공정에 의해 성장시킨다.

<12> 그런 다음, 상기 게이트 절연막(103) 상에 게이트 전극(104)을 위한 다결정 실리콘층을 저압 화학기상증착공정에 의해 적층시킨 후 사진식각공정을 이용하여 일정 간격을 두고 이격하여 배치되는 게이트 전극(104)의 패턴을 형성시킨다. 물론, 상기 게이트 전극(104)은 다결정 실리콘층의 단일층으로 구성될 수 있을 뿐만 아니라 상기 다결정 실리콘층과 그 위의 실리사이드층으로 구성되는 것도 가능하다.

<13> 이어서, LDD구조를 위한 저농도( $n^-$ ) 영역을 형성하기 위해 상기 액티브영역의 반도체 기판(101)에 인(p)과 같은 제 2 도전형의 불순물을 저농도( $n^-$ ) 이온주입시킨다. 이때, 상기 게이트 전극(104)도 상기 인과 같은 불순물에 의해 저농도( $n^-$ ) 이온주입된다.

- <14> 도 2에 도시된 바와 같이, 상기 게이트 전극(104)의 형성이 완료되고 나면, 상기 게이트 전극의 건식 식각으로 유발된 게이트 절연막의 손상을 치유하기 위해 소정의 열산화 공정을 거친다. 이어, 상기 게이트 전극(104)과 상기 게이트 절연막(103) 상에 도 4의 스페이서(107)를 위한 산화막(105)을 200Å 정도의 얇은 두께로 적층한다. 이때, 상기 산화막(105)은 오존-TEOS(Tetra Ethyl Ortho Silicate) 화학기상증착공정이나 플라즈마 화학기상증착공정에 의해 형성된다. 이어서, 상기 산화막(105) 상에 저압 화학기상증착공정에 의해 상기 스페이서(107)를 위한 질화막(106)을 800Å~1000Å의 두께로 적층한다.
- <15> 도 3에 도시된 바와 같이, 상기 질화막(106)의 적층이 완료되고 나면, 상기 에치백공정으로서 이방성 식각 특성을 갖는 반응성 이온 에칭(Reactive Ion Etching: RIE) 공정을 이용하여 상기 게이트 전극(104) 및 상기 소오스/드레인을 위한 영역의 반도체 기판(101) 상의 산화막(105)이 노출될 때까지 상기 질화막(106)을 건식 식각한다. 이때, 상기 게이트 전극(104)의 측벽에 상기 질화막(106)이 남게 된다.
- <16> 도 4에 도시된 바와 같이, 이어서, 건식 에칭공정을 이용하여 상기 게이트 전극(104) 및 상기 소오스/드레인을 위한 영역의 반도체 기판(101)이 노출될 때까지 상기 산화막(105)을 건식 식각한다. 따라서, 상기 질화막(106)에 의해 마스크된, 상기 게이트 전극(104)의 측벽에 산화막(105)이 남게 된다. 따라서, 상기 질화막(106)과 산화막(105)으로 이루어진 스페이서(107)가 완성된다.
- <17> 이후, 고농도(n+) 소오스/드레인을 형성하기 위해 상기 스페이서(107)에 의해 마스크되지 않은 상기 반도체 기판(101)의 액티브영역에 인과 같은 제 2 도전형의 불순물을 고농도(n+) 이온주입시킨다. 이때, 상기 게이트 전극(104)도 상기 인과 같은 불순물에 의해 고농도(n+) 이



온주입된다. 따라서, 상기 반도체 기판(101)의 게이트 전극(104)을 사이에 두고 LDD 구조의 소스/드레인(도시 안됨)이 형성된다.

【발명이 이루고자 하는 기술적 과제】

- <18> 그러나, 상기와 같은 종래 기술에 따른 반도체 소자 제조방법에 있어서, 게이트 전극의 패터닝 이후에 게이트 절연막의 손상을 치유하기 위해 소정의 열산화 공정을 수행하고, 이에 따라 게이트 전극의 측벽과 기판 상부에 소정의 산화막층이 형성된다. 이 때, 게이트 전극의 측벽에 형성되는 산화막층은 게이트 절연막의 치유를 고려시에는 산화막층이 두꺼울수록 좋은 효과를 나타내는 반면, 기판 상부에 형성되는 산화막층은 향후 이온주입에 따른 기판의 손상을 최소화시킨다는 목적하에서는 산화막층의 두께가 작을수록 유리하다.
- <19> 이와 같이, 게이트 전극의 측벽에 형성되는 산화막층과 기판 상에 형성되는 산화막층은 그 두께 조절에 있어서 상충되는 면이 있다. 종래 기술에 있어서, 상기 산화막층의 두께 조절은 양자간의 상관 관계를 적당히 고려하여 산화막층의 두께를 결정하고 있다.
- <20> 그러나, 종래 기술에 있어서, 산화막층의 두께 결정시 상기의 두 요인이외에도 중요한 인자인 게이트 선폭 조절을 위한 사진 식각 공정 수행은 고려하지 않고 있다. 즉, 향후 게이트 선폭 조절에 있어서 공정 마진의 확보를 위해서는 게이트 전극의 측벽의 산화막이 두꺼울수록 용이하며 이러한 면 또한 재산화에 의한 산화막층의 형성시 고려해야 한다.
- <21> 본 발명은 상기와 같은 문제점을 해결하기 위해 안출한 것으로서, 게이트 전극의 형성 후의 재산화 공정에 있어서, 게이트 전극의 측벽과 실리콘 기판 간의 산화속도에 차이를 주어 상대적으로 게이트 전극의 측벽의 산화막 두께를 두껍게 함으로써 게이트 형성을 위한 사진식

각 작업에 공정 마진을 제공하며, 재산화 공정의 목적인 게이트 절연막의 치유 효과를 향상시킴과 동시에 후속 이온 주입 공정을 위한 산화막에 부분적인 질화를 유도하여 도판트의 확산을 억제할 수 있는 반도체 소자 제조방법을 제공하는 것을 목적으로 한다.

### 【발명의 구성 및 작용】

- <22>      상기와 같은 목적을 달성하기 위한 본 발명의 반도체 소자 제조방법은 반도체 기판 상에 게이트 절연막 물질 및 게이트 전극 물질을 순차적으로 적층하는 단계;와, 상기 게이트 절연막 물질 및 게이트 전극 물질을 패터닝하여 게이트 절연막 및 게이트 전극을 형성하는 단계;와, 상기 기판 전면에서 질소 이온을 주입하는 단계;와, 상기 기판을 열처리하여 게이트 전극 측벽 및 기판 상부에 상이한 두께를 갖는 재산화막을 형성하는 단계를 포함하여 이루어지는 것을 특징으로 한다.
- <23>      바람직하게는, 상기 질소 이온을 주입하는 각도는 기판에 수직인 것을 특징으로 한다.
- <24>      바람직하게는, 상기 이온 주입 에너지는 10~50keV 인 것을 특징으로 한다.
- <25>      바람직하게는, 상기 질소 이온의 주입 농도는  $10^{14} \sim 5 \times 10^{15}$  원자(atoms)/cm<sup>2</sup> 인 것을 특징으로 한다.
- <26>      본 발명의 특징에 따르면, 재산화 공정의 수행 전에 기판 전면에서 소정의 농도로 질소 이온을 주입시킴으로써 향후 재산화막 형성을 위한 열처리 공정시 게이트 전극 측벽의 재산화막층의 두께와 기판 상부에 형성되는 재산화막의 형성 두께를 다르게 조절할 수 있게 된다.
- <27>      이에 따라, 종래 게이트 절연막 손상의 치유의 목적에 요구되는 게이트 전극 측벽의 재산화막층의 후막(厚膜)화 및 이온 주입에 따른 향후 기판 손상의 방지를 위한 기판 상의 재산화

화막층의 박막(薄膜)화의 목적을 효과적으로 동시에 구현할 수 있으며, 이에 더불어 게이트 선평 조절을 위한 사진식각 공정 수행시 공정 마진을 충분히 제공할 수 있게 된다.

<28> 이하, 도면을 참조하여 본 발명에 따른 반도체 소자 제조방법을 상세히 설명하기로 한다. 도 5 내지 도 7는 본 발명에 따른 반도체 소자 제조방법을 설명하기 위한 공정 단면도이다.

<29> 먼저, 도 5에 도시한 바와 같이 예를 들어 제 1 도전형인 p형 반도체 기판(501)의 액티브영역간의 전기적 절연을 위해 상기 반도체 기판(501)의 필드영역에 셀로우 트렌치 아이솔레이션 공정에 의해 아이솔레이션층(502)을 형성시키고, 상기 액티브영역 상에 게이트 절연막(503), 예를 들어 산화막을 열산화공정에 의해 성장시킨다. 여기서, 상기 아이솔레이션층(502)을 셀로우 트렌치 아이솔레이션 공정 대신에 로코스(LOCOS: Local Oxidation of Silicon) 공정에 의해 형성하는 것도 가능하다.

<30> 그런 다음, 상기 게이트 절연막(503) 상에 게이트 전극(504)을 위한 다결정 실리콘층을 저압 화학기상증착공정에 의해 적층시킨 후 사진식각공정을 이용하여 일정 간격을 두고 이격하여 배치되는 게이트 전극(504)의 패턴을 형성시킨다. 물론, 상기 게이트 전극(504)은 다결정 실리콘층의 단일층으로 구성될 수 있을 뿐만 아니라 상기 다결정 실리콘층과 그 위의 실리사이드층으로 구성되는 것도 가능하다.

<31> 도 6을 참조하면, 게이트 전극(504)이 패터닝된 상태에서, 상기 게이트 전극(504)을 포함한 기판 전면에  $N^+$  또는  $N_2^+$ 와 같은 질소 이온 주입 공정을 수행한다. 이 때, 이온주입 각도는 기판에 수직이며, 이온 주입시 에너지는 10~50keV 정도가 적당하며, 이온 주입 농도는  $10^{14} \sim 5 \times 10^{15}$  원자(atoms)/ $cm^2$  가 바람직하다.

- <32>      상기 질소 이온들은 향후 재산화 공정의 수행시 산화막의 성장 속도를 억제하는 역할을 수행한다.
- <33>      도 7을 참조하면, 질소 이온이 기판 전면에 주입된 상태에서, 기판(501) 전체에 대해 재산화막층(506)의 형성을 위한 열처리 공정을 수행한다. 이 때, 열처리 온도는 통상적인 열처리 온도를 적용시키며 일 예로 800~1000℃의 온도에서 수행할 수 있다. 또한, 형성시키고자하는 재산화막층(506)의 두께에 따라 열처리 온도 및 공정 시간을 선택적으로 조절할 수 있음은 물론이다.
- <34>      한편, 상기 질소 이온 주입 공정에 의해 기판 내부에 질소 이온이 개재된 상태이기 때문에 상기 열처리 공정에 의해 형성되는 재산화막층(506)의 성장 속도는 둔화될 수 밖에 없다. 반면, 게이트 전극(504) 상에 주입된 질소 이온(505a)들은 게이트 전극(504)의 상부에 집중되어 있어 게이트 전극(504)의 측벽에서의 재산화막층(506)의 성장에는 영향을 거의 미치지 않게 된다. 이에 따라, 게이트 전극(504)의 측벽의 재산화막층(506)의 두께가 기판 상의 재산화막층(506)의 두께보다 커지게 된다. 즉, 열처리시의 공정 온도, 공정 시간이 동일하게 부여된 상태에서 게이트 전극(504)의 측벽과 기판에서의 재산화막층(506)의 성장 두께가 다르게 나타난다.
- <35>      따라서, 기판 상부의 재산화막층(506)의 적정 두께 형성이라는 점을 고려할 때 향후 이온 주입에 따른 기판의 손상을 최소화한다는 목적하에서 허용되는 재산화막층(506)의 최소 두께를 구현할 수 있으며, 게이트 전극(504)의 측벽에서의 재산화막층(506)의 적정 두께 형성이라는 점을 고려할 때 게이트 선폭 조절을 위한 사진식각 공정에 있어서 공정 마진을 제공할 수 있는 재산화막층(506)의 후막화 및 건식 식각에 의한 게이트 전극(504) 패터닝으로 인해 유발된 게이트 절연막 손상의 치유를 위한 재산화막의 후막화를 동시에 구현할 수 있게 된다.

- <36> 다시 말하면, 기판상의 재산화막층(506)의 두께와 게이트 전극(504) 측벽의 재산화막의 두께를 상이하게 형성시킴으로써 향후 이온 주입시 기판 손상을 최소화할 수 있으며, 게이트 선폭 조절을 위한 공정 마진의 확보함과 동시에 게이트 절연막 손상의 치유를 효과적으로 수행할 수 있게 된다.
- <37> 또한, 상기 기판 상에 열처리 공정을 형성되는 재산화막층은 엄밀하게 말해, 기판 내부에 질소 이온 주입 공정으로 개재되어 있는 질소 성분에 의해 질화산화막의 성질을 띠게 된다. 이와 같이 기판 상의 재산화막이 질화산화막의 성질을 띠게 되므로 향후 기판 내부에 주입된 LDD 이온 또는 소스/드레인 이온이 소정의 열처리 공정에 의해 확산될 때, 확산을 촉진시키는 실리콘 침입형(Interstitial) 원자의 생성을 최소화시켜 LDD 이온 또는 소스/드레인 이온이 불필요한 영역으로의 확산을 억제시키는 역할을 한다.
- <38> 이후, 도면에 도시하지 않았지만, 이어서, LDD구조를 위한 저농도(n-) 영역을 형성하기 위해 상기 액티브영역의 반도체 기판(501)에 인(p)과 같은 제 2 도전형의 불순물을 저농도(n-) 이온주입시키는 LDD 이온 주입 공정 및 게이트 측벽에 소정의 두께를 갖는 스페이서를 형성시키는 공정 등 게이트 형성을 위한 제반 공정을 수행하면 본 발명의 반도체 소자 제조공정은 완료된다.
- <39> 본 발명의 반도체 소자 제조방법은 재산화막층(506)의 형성 전에 기판 전면에서 질소 이온 주입 공정을 추가한 것 이외에는 종래의 통상적인 반도체 소자 제조공정을 적용시킬 수 있다.

#### 【발명의 효과】

- <40> 상술한 바와 같은 본 발명의 반도체 소자 제조방법은 다음과 같은 효과가 있다.

- <41> 종래에 있어서, 통상적으로 게이트 전극의 패터닝 이후에 게이트 절연막 및 기판의 손상된 부위를 치유하기 위한 재산화 공정의 수행을 하게되는데, 본 발명은 이와 같은 재산화 공정의 수행 전에 기판 전면에 소정의 농도로 질소 이온을 주입시킴으로써 향후 재산화막 형성을 위한 열처리 공정시 게이트 전극 측벽의 재산화막층의 두께와 기판 상부에 형성되는 재산화막의 형성 두께를 다르게 조절할 수 있게 된다.
- <42> 이에 따라, 종래 게이트 절연막 손상의 치유의 목적에 요구되는 게이트 전극 측벽의 재산화막층(506)의 후막(厚膜)화 및 이온 주입에 따른 향후 기판 손상의 방지를 위한 기판 상의 재산화막층(506)의 박막(薄膜)화의 목적을 효과적으로 동시에 구현할 수 있으며, 이에 더불어 게이트 선폭 조절을 위한 사진식각 공정 수행시 공정 마진을 충분히 제공할 수 있게 된다.



【특허청구범위】

【청구항 1】

반도체 기판 상에 게이트 절연막 물질 및 게이트 전극 물질을 순차적으로 적층하는 단계 ;

상기 게이트 절연막 물질 및 게이트 전극 물질을 패터닝하여 게이트 절연막 및 게이트 전극을 형성하는 단계;

상기 기판 전면에 질소 이온을 주입하는 단계;

상기 기판을 열처리하여 게이트 전극 측벽 및 기판 상부에 상이한 두께를 갖는 재산화막을 형성하는 단계를 포함하여 이루어지는 것을 특징으로 하는 반도체 소자 제조방법.

【청구항 2】

제 1 항에 있어서, 상기 질소 이온을 주입하는 각도는 기판에 수직인 것을 특징으로 하는 반도체 소자 제조방법.

【청구항 3】

제 1 항 또는 제 2 항에 있어서, 상기 이온 주입 에너지는 10~50keV 인 것을 특징으로 하는 반도체 소자 제조방법.



【청구항 4】

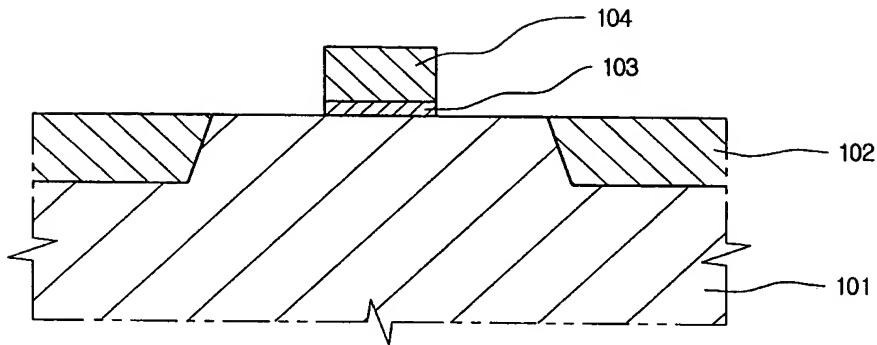
제 1 항 또는 제 2 항에 있어서, 상기 질소 이온의 주입 농도는  $10^{14} \sim 5 \times 10^{15}$  원자 (atoms)/ $\text{cm}^2$  인 것을 특징으로 하는 반도체 소자 제조방법.



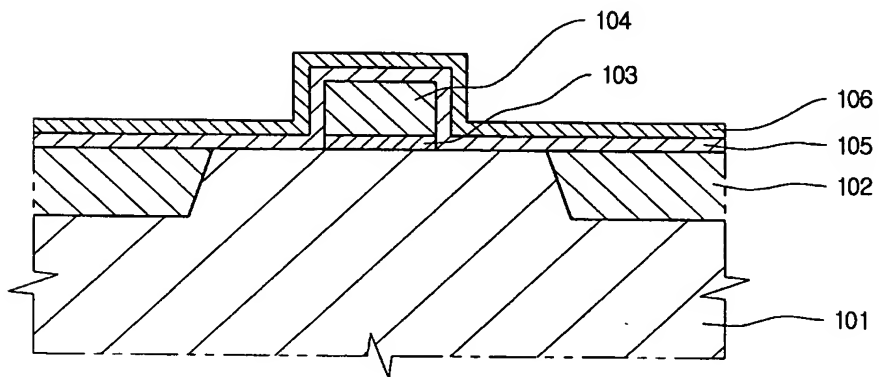


【도면】

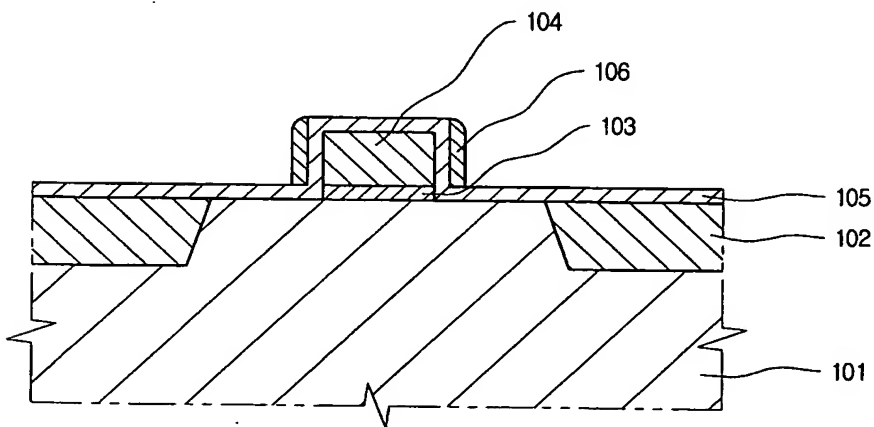
【도 1】



【도 2】



【도 3】

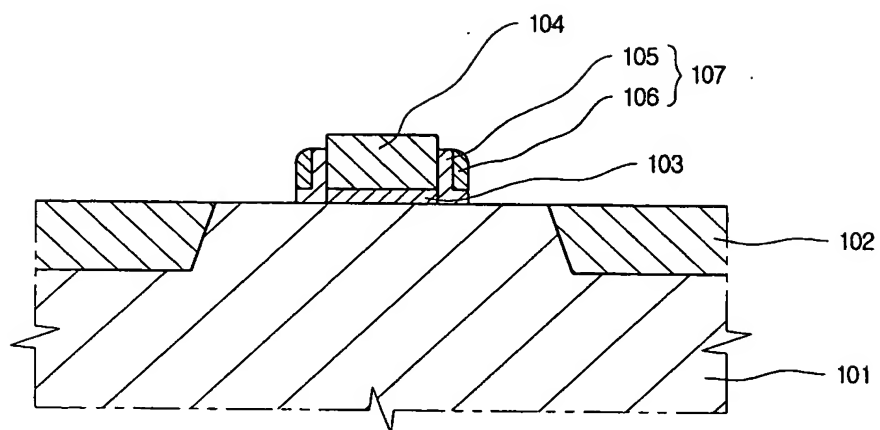




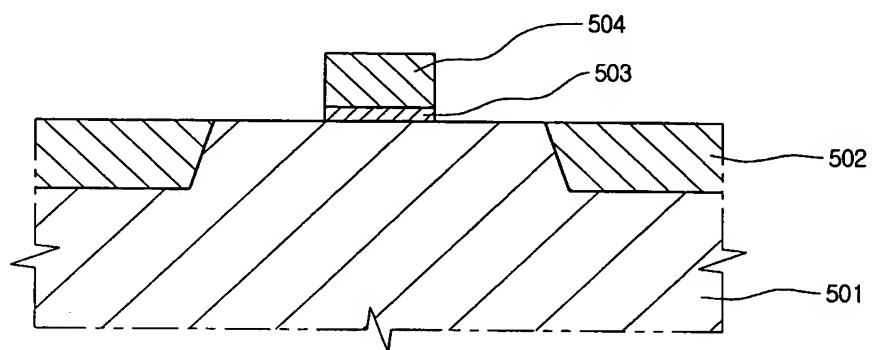
1020020086922

출력 일자: 2003/9/20

【도 4】

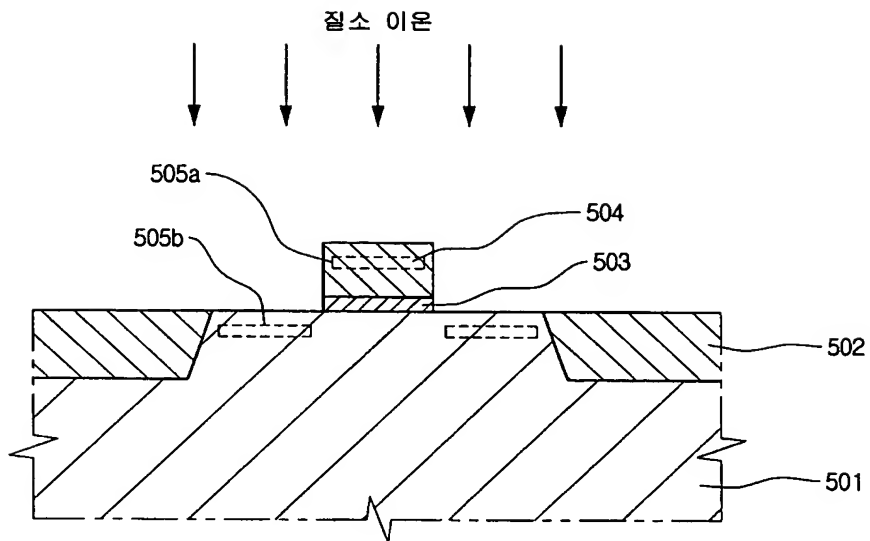


【도 5】





【도 6】



【도 7】

